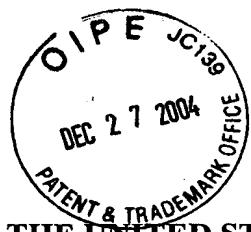


Patent



Customer No. 31561
Application No.: 10/711,445
Docket No.12295-US-PA

IFW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chen et al.
Application No. : 10/711,445
Filed : Sep 20, 2004
For : METHOD FOR FABRICATING FLASH MEMORY
DEVICE AND STRUCTURE THEREOF
Examiner : N/A
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 92132993,
filed on: 2003/11/25.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office.

Dated: Dec. 23, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

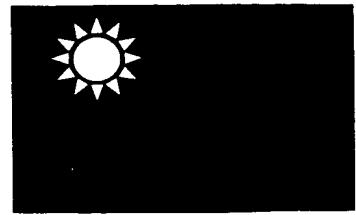
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申 請 日：西元 2003 年 11 月 25 日
Application Date

申 請 案 號：092132993
Application No.

CERTIFIED COPY OF
PRIORITY DOCUMENT

申 請 人：茂德科技股份有限公司
Applicant(s)

局 長
Director General

蔡 緣 生

發文日期：西元 2004 年 9 月
Issue Date

發文字號：09320819860
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 、 發明名稱	中 文	快閃記憶體元件的製造方法及其結構
	英 文	METHOD FOR FABRICATING FLASH MEMORY DEVICE AND STRUCTURE THEREOF
二 、 發明人 (共2人)	姓 名 (中文)	1. 陳世芳 2. 張鼎張
	姓 名 (英文)	1. CHEN, JASON 2. CHANG, TING CHANG
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市建國街37號5樓 2. 新竹市牛埔南路142巷8弄6號4樓
	住居所 (英 文)	1. 5F, No. 37, Gen-Ko St., Chupei City, Hsin-Chu Ken, Taiwan, R.O.C 2. 4F, NO. 6, ALLEY 8, LANE 142, NIOU-PU S. RD., HSINCHU, TAIWAN, R.O.C.
三 、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 茂德科技股份有限公司
	名稱或 姓 名 (英文)	1. ProMOS Technologies Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區力行路十九號3樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 3F., No. 19, Li Hsin Rd., Science Based Industrial Park, Hsinchu, Taiwan, R.O.C.
代表人 (中文)	1. 胡洪九	
代表人 (英文)	1. HU, HUNG CHIU	



四、中文發明摘要 (發明名稱：快閃記憶體元件的製造方法及其結構)

一種快閃記憶體元件的製造方法，此方法係先於基底上形成穿隧氧化層。然後，於穿隧氧化層上依序形成浮置閘極、閘間介電層及控制閘極。由於此浮置閘極係由多個奈米級結晶顆粒所組成，因此可以避免因浮置閘極之局部區域受損，而導致記憶胞失效的問題。

伍、(一)、本案代表圖為：第 1D 圖

(二)、本案代表圖之元件代表符號簡單說明：

100：基底

102a：穿隧氧化層

106a：閘間介電層

108a：浮置閘極

110a：控制閘極

112：堆疊式閘極結構

114a/114b：源極區／汲極區

六、英文發明摘要 (發明名稱：METHOD FOR FABRICATING FLASH MEMORY DEVICE AND STRUCTURE THEREOF)

A method for fabricating a flash memory device is provided. A tunnel oxide layer is formed on a substrate. Thereafter, a floating gate, an inter-gate dielectric, and a control gate are sequentially formed on the tunnel oxide layer. Since the floating gate is consisted of multiple nanocrystals, the memory cell can still normally function even if one of the nanocrystals is



四、中文發明摘要 (發明名稱：快閃記憶體元件的製造方法及其結構)

六、英文發明摘要 (發明名稱：METHOD FOR FABRICATING FLASH MEMORY DEVICE AND STRUCTURE THEREOF)

impaired.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

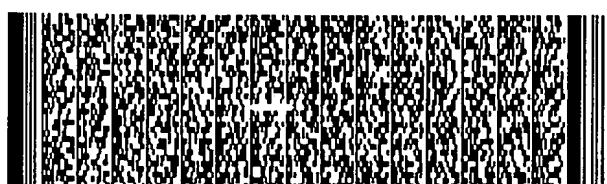
本發明是有關於一種記憶體元件的製造方法及其結構，且特別是有關於一種由奈米級結晶顆粒(Nanocrystal)所組成的浮置閘極之快閃記憶體元件(Flash Memory Device)的製造方法及其結構。

先前技術

快閃記憶體元件由於具有可多次進行資料之存入、讀取、抹除等動作，且存入之資料在斷電後也不會消失之優點。因此，已成為個人電腦和電子設備所廣泛採用的一種非揮發性記憶體元件。

典型的快閃記憶體元件係以摻雜多晶矽製作浮置閘極(Floating Gate)與控制閘極(Control Gate)(堆疊式閘極結構)。而且，浮置閘極與控制閘極之間係以閘間介電層相隔，且浮置閘極與基底間以係穿隧氧化層(Tunnel Oxide)相隔。

當對快閃記憶體進行寫入(Write)資料之操作時，係藉由於控制閘極與源極/汲極區施加偏壓，以使電子注入浮置閘極中。當在進行讀取(Read)資料之操作時，係於控制閘極上施加工作電壓，此時浮置閘極的帶電狀態會影響其下通道(Channel)的開/關，且此通道之開/關係以判讀資料值「0」或「1」為依據。當在進行抹除(Erase)資料之操作時，係將基底、源極區、汲極區或控制閘極的相對電位提高，以利用穿隧效應使電子由浮置閘極穿過穿隧氧化層(Tunneling Oxide)而排至基底或汲(源)極中(即



五、發明說明 (2)

Substrate Erase 或 Drain (Source) Side Erase)，或是穿過閘間介電層而排至控制閘極中。因此，對於快閃記憶體來說，其資料之寫入、讀取或是抹除等操作係與浮置閘極的優劣息息相關。

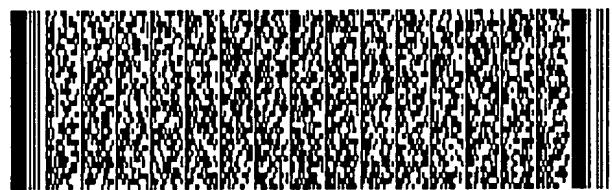
然而，在製程過程中，製程上的缺陷(Defect)可能使得浮置閘極之局部區域受損，進而導致整個記憶體胞無法運作。亦即，因製程所造成之局部區域的損傷，將影響整個浮置閘極之電荷儲存或是電荷傳遞等特性(Characteristic)。如此一來，當快閃記憶體在進行寫入、讀取或是抹除等動作時，會因記憶胞失效，而無法達到預期的效果。

另一方面，浮置閘極之局部區域受損，就會導致記憶胞失效的問題，就經濟的觀點來看，是相當不敷成本的。而且，造成浮置閘極受損的因素除了來自製程上的缺陷之外，亦有可能來自於其他的因素。換言之，為了使快閃記憶體元件具有較佳的良率，在製程上或是其他方面勢必需要更多條件的配合。然而，如此所付出之成本與所獲得之收益彼此之間能否取得一個平衡仍有待商榷。

發明內容

有鑑於此，本發明的目的就是在提供一種快閃記憶體元件的製造方法及其結構，以解決因浮置閘極之局部區域受損，而導致記憶胞失效的問題。

本發明提出一種快閃記憶體元件的製造方法，此方法係先於基底上形成穿隧氧化層。然後，於穿隧氧化層上形



五、發明說明 (3)

成由奈米級結晶顆粒所組成的浮置閘極及閘間介電層，其中此浮置閘極的材質例如是矽化鋅或金屬矽化物(Metal Silicide)。此外，此方法更包括於閘間介電層上形成控制閘極，其中穿隧氧化層、浮置閘極、閘間介電層與控制閘極係構成堆疊式閘極結構。然後，於堆疊式閘極結構之側邊的基底中形成源極/汲極區，以完成快閃記憶體的製程。

本發明提出一種快閃記憶體元件，此元件包括基底、穿隧氧化層、浮置閘極以及閘間介電層。其中，穿隧氧化層係配置於基底上。此外，浮置閘極係配置於穿隧氧化層上，且此浮置閘極係由多個奈米級之結晶顆粒所組成，而且此浮置閘極的材質是矽化鋅或金屬矽化物。另外，閘間介電層覆蓋這些奈米級之結晶顆粒，而使這些奈米級位於閘間介電層中。此外，此結構更包括控制閘極與源極/汲極區。其中，控制閘極係配置於閘間介電層上，且穿隧氧化層、浮置閘極、閘間介電層與控制閘極係構成堆疊式閘極結構。另外，源極/汲極區係配置於堆疊式閘極結構之側邊的基底中。

由於本發明之浮置閘極係由多個奈米級結晶顆粒所組成，因此當浮置閘極之局部區域受損時，對於這些結晶顆粒來說，僅止於少數之結晶顆粒受損，所以不會影響整個浮置閘極之電荷儲存或是電荷傳遞的特性，如此可以解決習知記憶胞失效的問題。

為讓本發明之上述和其他目的、特徵、和優點能更明



五、發明說明 (4)

顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第1A圖至第1D圖所示，其繪示依照本發明一較佳實施例的一種快閃記憶體元件之製造流程剖面示意圖。

請參照第1A圖，本發明之快閃記憶體元件的製造方法係先於基底100上形成穿隧氧化材料層102。其中，穿隧氧化材料層102的材質例如是氧化矽，而其形成方法例如是進行熱氧化製程。在一較佳實施例中，所形成之穿隧氧化材料層102的厚度例如是介於3.5至5.5奈米之間。

然後，請繼續參照第1A圖，於穿隧氧化材料層102上形成電荷儲存層104。其中，電荷儲存層104的形成方法例如是進行低壓化學氣相沈積法。在一較佳實施例中，此電荷儲存層104例如是矽化鋨 $\text{Si}_x\text{Ge}_{1-x}$ 。在另一較佳實施例中，此電荷儲存層104例如是金屬矽化物，此金屬矽化物係選自矽化鎢、矽化鈦、矽化鈷或矽化鎳。以矽化鎢 W_ySi_z 為例，此Y值例如是介於0.5至5之間，而此Z值例如是介於1至3之間。

另外，依照電荷儲存層104之材質的差異，所進行之低壓化學氣相沈積製程其各項製程參數亦會有所不同。舉例來說，在一較佳實施例中，若電荷儲存層104的材質係採用矽化鋨，則此時低壓化學氣相沈積法的氣體源例如是 SiH_4 與 GeH_4 ，其操作壓力例如是介於1至1000 mTorr 之間，且製程溫度例如是介於攝氏600至800度之間。



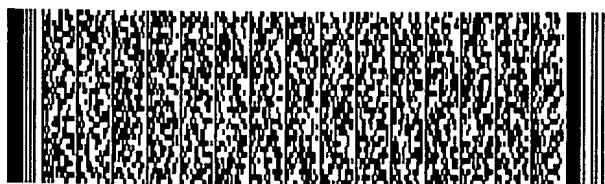
五、發明說明 (5)

此外，在另一較佳實施例中，若電荷儲存層104的材質係採用矽化鎢，則此時低壓化學氣相沈積法的氣體源例如是 WF_6 與 SiH_4 、 Si_2H_6 、或 SiH_2Cl_2 ，其操作壓力例如是介於1至1000 mTorr之間，且製程溫度例如是介於攝氏300至800度之間。

之後，請參照第1B圖，進行熱氧化製程，以將電荷儲存層104部份氧化為矽鎢氧化物(silicon-germanium-oxide)或金屬矽氧化物(metal-silicon-oxide)，以形成閘間介電材料層106，並將未氧化的部份電荷儲存層104轉變為多數個奈米級結晶顆粒，這些位於穿隧氧化材料層102與閘間介電材料層106間的奈米級結晶顆粒組合成為浮置閘極材料層108。其中，熱氧化製程例如是快速熱氧化製程，且在進行此快速熱氧化製程時，更包括通入含氧氣體，例如為氧氣(O_2)、水氣(H_2O)或氮氧化物(NO_x)。此外，此快速熱氧化製程的溫度例如是介於攝氏850至1000度之間，且較佳之製程溫度約為攝氏950度。

值得一提的是，對於由多數個奈米級結晶顆粒所組成的浮置閘極材料層108局部區域受損時，僅表示少數之奈米級結晶顆粒受到損傷，所以不會影響整個浮置閘極材料層108之電荷儲存或是電荷傳遞的特性。

然後，請參照第1C圖，於閘間介電材料層106上形成控制閘極材料層110。其中，控制閘極材料層110的材質例如是摻雜多晶矽，而其形成方法例如是利用化學氣相沈積



五、發明說明 (6)

法形成一層未摻雜多晶矽層(未繪示)後，進行離子植入(Ion Implantation)步驟，而形成之。此外，控制閘極材料層110的形成方法亦可在進行化學氣相沈積製程的同時，通入含有摻質之反應氣體，而形成之。

之後，請參照第1D圖，圖案化穿隧氧化材料層102、浮置閘極材料層108、閘間介電材料層106與控制閘極材料層110，以形成穿隧氧化層102a、浮置閘極108a、閘間介電層106a與控制閘極110a，並且共同構成堆疊式閘極結構112。其中，圖案化的方法例如是進行習知之微影蝕刻製程。

接著，請繼續參照第1D圖，於堆疊式閘極結構112之側邊的基底100中形成源極區114a/汲極區114b，以完成快閃記憶體的製程。其中，源極區114a/汲極區114b的形成方法例如是利用堆疊式閘極結構112作為植入罩幕，以進行習知之離子植入步驟，而形成之。

以下係針對利用上述方法所得之結構加以說明。請參照第1D圖，一個快閃記憶體元件包括基底100、穿隧氧化層102a、浮置閘極108a、閘間介電層106a、控制閘極層110a以及源極區114a/汲極區114b。其中，浮置閘極108a係由多個奈米級結晶顆粒所組成。此外，穿隧氧化層102a、浮置閘極108a、閘間介電層106a與控制閘極層110a係構成一堆疊式閘極結構112。

另外，穿隧氧化層102a係配置於基底100上，此穿隧氧化層102a的材質例如是氧化矽。



五、發明說明 (7)

此外，浮置閘極108a係配置於穿隧氧化層102a上，此浮置閘極108a的材質在一較佳實施例中例如是矽化鋯 $\text{Si}_x\text{Ge}_{1-x}$ 。在另一較佳實施例中，此浮置閘極108a的材質例如是金屬矽化物，選自矽化鎢、矽化鈦、矽化鈷或矽化鎳。若浮置閘極108a的材質係採用矽化鎢 W_ySi_z ，則此Y值例如是介於0.5至5之間，而此Z值例如是介於1至3之間。

此外，閘間介電層106a覆蓋這些奈米級之結晶顆粒（浮置閘極108a），而使這些奈米級之結晶顆粒位於閘間介電層106a中。其中，閘間介電層106a的材料為浮置閘極108a材料的氧化物。若浮置閘極108a的材料為矽化鋯，則閘間介電層106a的材料則是矽鋯氧化物。若浮置閘極108a的材料為金屬矽化物，則閘間介電層106a的材料則是所對應之金屬矽化物的氧化物。

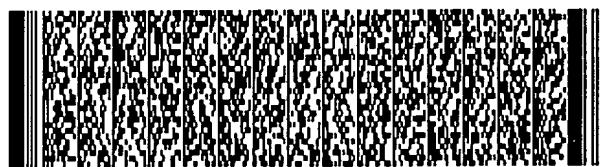
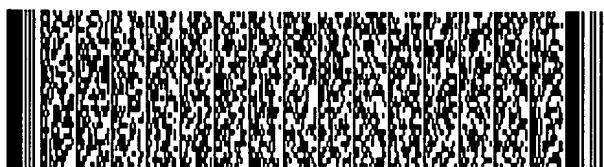
另外，控制閘極110a係配置於閘間介電層106a上。其中，控制閘極110a的材質例如是摻雜多晶矽。

此外，源極區114a/汲極區114b係配置於堆疊式閘極結構112之側邊的基底100中。

綜上所述，本發明至少具有下述的優點：

1. 本發明的浮置閘極由多個奈米級結晶顆粒所組成，因此當浮置閘極之局部區域受損時，對於這些結晶顆粒來說，僅止於少數之結晶顆粒受損，所以不會影響整個浮置閘極之電荷儲存或是電荷傳遞的特性，如此可以解決習知記憶胞失效的問題。

2. 對於快閃記憶體來說，於浮置閘極中所包含的奈



五、發明說明 (8)

米級結晶顆粒，可以使得快閃記憶體之磁滯效應 (Hysteresis) 更為顯著，進而提升其電荷儲存的能力。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A圖至第1D圖是依照本發明之一較佳實施例的一種
快閃記憶體之製造流程剖面示意圖。

【圖式標記說明】

100：基底

102：穿隧氧化材料層

102a：穿隧氧化層

104：電荷儲存層

106：閘間介電材料層

106a：閘間介電層

108：浮置閘極材料層

108a：浮置閘極

110：控制閘極材料層

110a：控制閘極

112：堆疊式閘極結構

114a/114b：源極區／汲極區



六、申請專利範圍

1. 一種快閃記憶體元件的製造方法，包括：

於一基底上形成一穿隧氧化層；

於該穿隧氧化層上形成一電荷儲存層；以及

進行一熱氧化製程，以將該電荷儲存層部份氧化，而形成一閘間介電層，且未氧化之該電荷儲存層係轉變為多數個奈米級結晶顆粒(Nanocrystal)，而且該些奈米級結晶顆粒係構成一浮置閘極。

2. 如申請專利範圍第1項所述之快閃記憶體元件的製造方法，其中該電荷儲存層的材質包括矽化鋯 Si_xGe_{1-x} 與一金屬矽化物其中之一。

3. 如申請專利範圍第2項所述之快閃記憶體元件的製造方法，其中若該電荷儲存層的材質係採用該矽化鋯，則該低壓化學氣相沈積法的氣體源係為 SiH_4 與 GeH_4 ，其操作壓力係介於1至1000 mTorr之間，且其製程溫度係介於攝氏600至800度之間。

4. 如申請專利範圍第2項所述之快閃記憶體元件的製造方法，其中該金屬矽化物包括矽化鎢、矽化鈦、矽化鈷與矽化鎳其中之一。

5. 如申請專利範圍第4項所述之快閃記憶體元件的製造方法，其中若該電荷儲存層的材質係採用該矽化鎢 W_ySi_z ，且該Y值係介於0.5至5之間，而該Z值係介於1至3之間。

6. 如申請專利範圍第5項所述之快閃記憶體元件的製造方法，其中該低壓化學氣相沈積法的氣體源係為 WF_6 與 SiH_4 、 Si_2H_6 、或 SiH_2Cl_2 ，其操作壓力係介於1至1000

ʃ



六、申請專利範圍

mTorr 之間，且其製程溫度係介於攝氏300至800度之間。

7. 如申請專利範圍第1項所述之快閃記憶體元件的製造方法，其中該熱氧化製程包括一快速熱氧化製程。

8. 如申請專利範圍第7項所述之快閃記憶體元件的製造方法，其中在進行該快速熱氧化製程時，更包括通入一含氧氣體。

9. 如申請專利範圍第8項所述之快閃記憶體元件的製造方法，其中該含氧氣體包括氧氣(O_2)、水氣(H_2O)與氮氧化物(NO_x)其中之一。

10. 如申請專利範圍第7項所述之快閃記憶體元件的製造方法，其中該快速熱氧化製程的製程溫度係介於攝氏850至1000度之間。

11. 如申請專利範圍第1項所述之快閃記憶體元件的製造方法，其中該電荷儲存層的形成方法包括進行一低壓化學氣相沈積法。

12. 如申請專利範圍第1項所述之快閃記憶體元件的製造方法，其中在該熱氧化製程的步驟之後，更包括：

於該閘間介電層上形成一控制閘極，其中該穿隧氧化層、該浮置閘極、該閘間介電層與該控制閘極係構成一堆疊式閘極結構；以及

於該堆疊式閘極結構之側邊的該基底中形成一源極/汲極區。

13. 一種的快閃記憶體元件，包括：

一穿隧氧化層，配置於一基底上；



六、申請專利範圍

一浮置閘極，配置於該穿隧氧化層上，且該浮置閘極係由多數個奈米級之結晶顆粒所組成；以及

一閘間介電層，覆蓋於該些奈米級之結晶顆粒，而使該些奈米級之結晶顆粒位於該閘間介電層中，且該閘間介電層的材料為該浮置閘極材料的氧化物。

14. 如申請專利範圍第13項所述之快閃記憶體元件，其中該浮置閘極的材質包括矽化鎗 Si_xGe_{1-x} 與一金屬矽化物其中之一。

15. 如申請專利範圍第14項所述之快閃記憶體元件，其中該金屬矽化物係選自矽化鎢、矽化鈦、矽化鈷與矽化鎳其中之一。

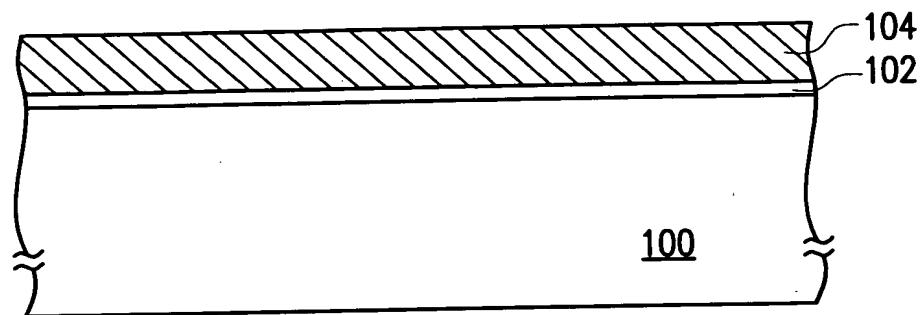
16. 如申請專利範圍第15項所述之快閃記憶體元件，其中若該浮置閘極的材質係採用該矽化鎢 W_ySi_z ，且該Y值係介於0.5至5之間，而該Z值係介於1至3之間。

17. 如申請專利範圍第13項所述之快閃記憶體元件，更包括：

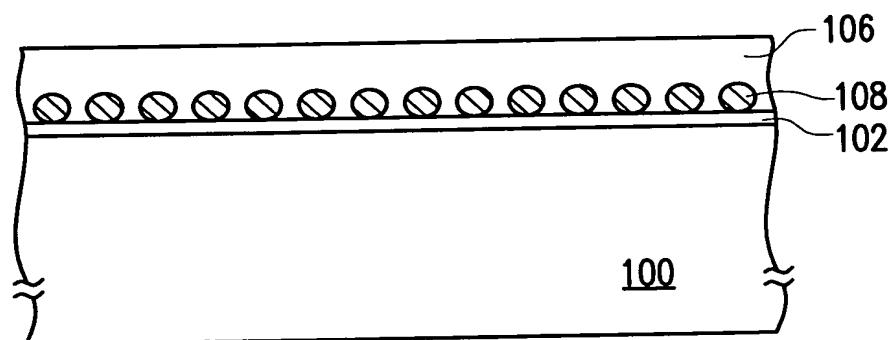
一控制閘極，配置於該閘間介電層上，且該穿隧氧化層、該浮置閘極、該閘間介電層與該控制閘極係構成一堆疊式閘極結構；以及

一源極/汲極區，配置於該堆疊式閘極結構之側邊的該基底中。

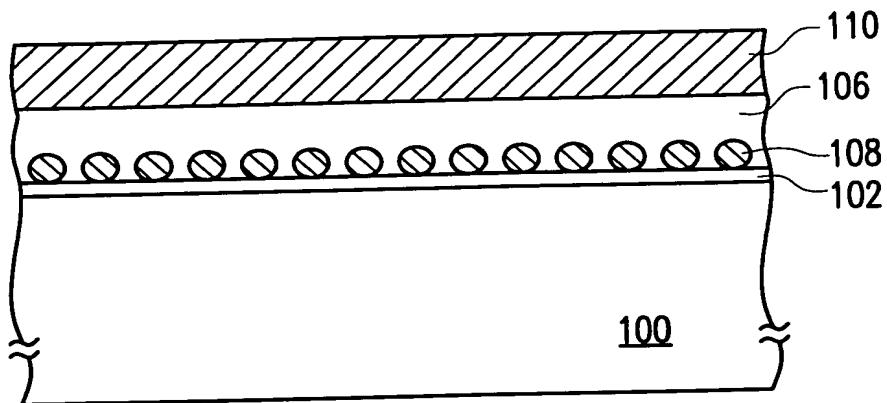




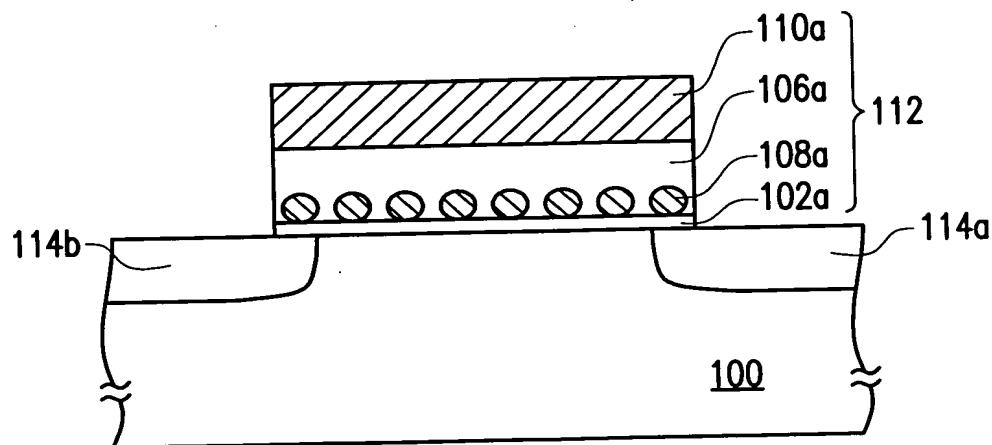
第 1A 圖



第 1B 圖

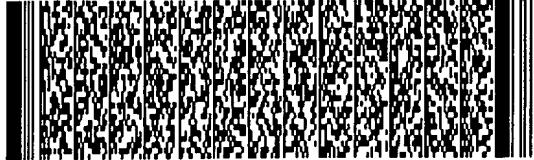


第 1C 圖

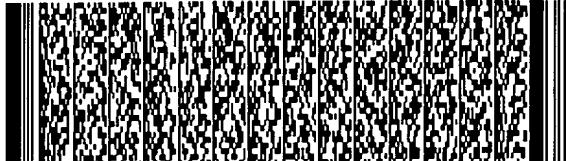


第 1D 圖

第 1/16 頁



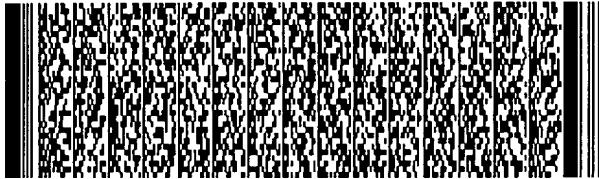
第 2/16 頁



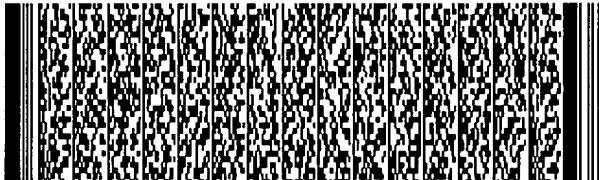
第 3/16 頁



第 5/16 頁



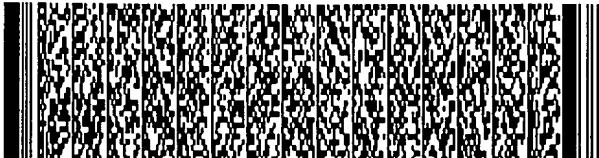
第 6/16 頁



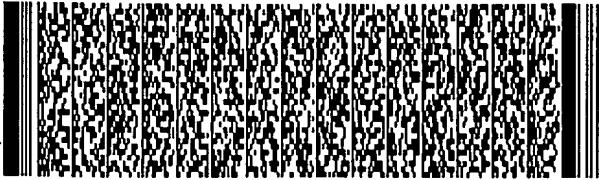
第 7/16 頁



第 8/16 頁



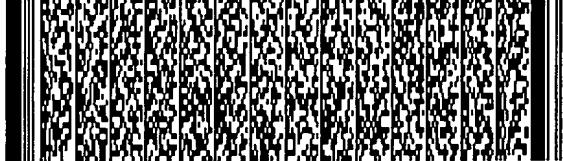
第 9/16 頁



第 1/16 頁



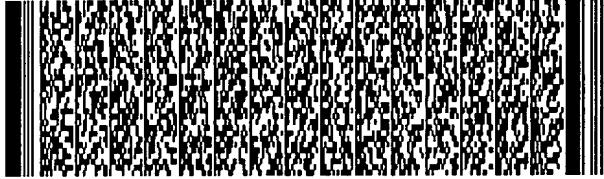
第 2/16 頁



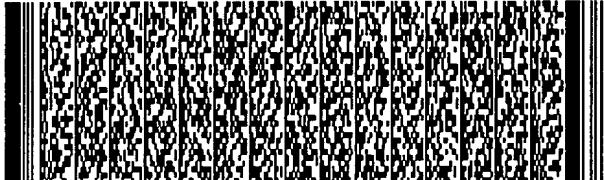
第 4/16 頁



第 5/16 頁



第 6/16 頁



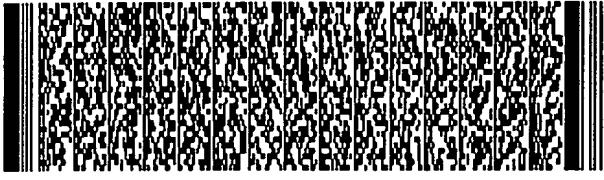
第 7/16 頁



第 8/16 頁



第 9/16 頁



(4.5版)申請案件名稱:快閃記憶體元件的製造方法及其結構

第 10/16 頁



第 10/16 頁



第 11/16 頁



第 11/16 頁



第 12/16 頁



第 13/16 頁



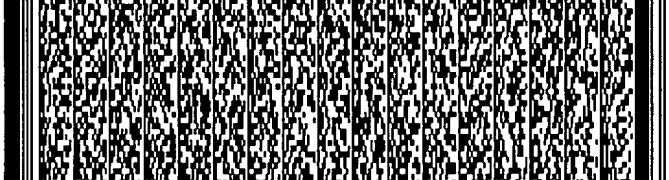
第 14/16 頁



第 14/16 頁



第 15/16 頁



第 16/16 頁

